

SEMICONDUCTOR DEVICE

Patent Number: JP10022449
Publication date: 1998-01-23
Inventor(s): MIMURA TADAAKI
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP10022449
Application Number: JP19960172012 19960702
Priority Number(s):
IPC Classification: H01L25/04 ; H01L25/18 ; G06F17/50 ; H01L23/538
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To minimize the system cost, increase the degree of freedom in wiring design within an interconnecting network, improve the signal transmission property, and improve the efficiency of interprocessor data transfer, by forming a processor portion and an interconnecting network portion using separate semiconductor chips, respectively, and unifying these portions in a COC structure.

SOLUTION: A semiconductor device has a COC structure in which a PE chip 11 on the upper surface and an interconnecting network forming chip 13 on the lower surface are bonded, with active surfaces thereof facing each other. The junction between the chips 11 and 13 is realized by connecting area electrode pads 16, 18 formed in the PE chip 11 and the interconnecting network forming chip 13 by a bump 17. Thus, the PE including a micro-processor and DSP, which is a constituent element, may be produced in the minimum possible size. Also, the latest process enables designing which emphasizes performance, thus enabling improvement in degree of freedom in designing.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22449

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
			G 0 6 F 15/60	6 5 8 E
G 0 6 F 17/50			H 0 1 L 23/52	A
H 0 1 L 23/538				

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-172012

(22) 出願日 平成8年(1996) 7月2日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 三村 忠昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外 1 名)

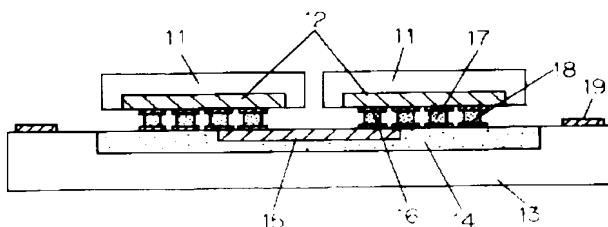
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数のプロセッサコアと、プロセッサコア間を相互接続するための結合網、特にクロスバ型等の密結合網を集積した1チップ半導体装置が開発されているが、その構成上ハードウェア規模が大きくなるため、チップサイズの拡大してしまふという課題がある。また複雑な相互配線を行なうため、チップサイズ縮小には多層配線プロセスを用いる必要があり歩留まり力の兼ね合いでチップコストが下がらないという課題が発生する。

【解決手段】 これらの課題を解決するため、本発明では複数のマイクロプロセッサ、あるいはDSPが密結合した、相互接続網を構成するシステムにおいて、マイクロプロセッサ12、相互結合網形成領域14をそれぞれ別々の半導体チップで形成し、COC（チップオンチップ）構造で一体を構成する。図1参照。

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 バンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



2

[illegible][illegible]

3

アを占めているためである。

【0010】チップサイズの拡大はすなわちチップコストの上昇になり、実アプリケーションへの適用に当たっては大きな課題となる。また、相互結合網を汎用ロジックと1チップ化するために設計ツールを用意する必要も生じる。

【0011】さらにアプリケーションによって、PE間の相互結合網の形態を変える必要が生じた場合、その都度LSI化を行う必要があり、開発工数・開発期間を要することとなる。

【0012】そこで本発明は、シスゲムコストを最小化すること、相互結合網内の配線設計の自由度を高めることにより、信号伝達特性を向上させ、プロセッサ間データ転送の効率を上げること、及び、設計自由度や設計効率を向上することの可能な半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置は、複数の半導体チップの能動面同士が向かい合う形で半導体チップの電極パッド同士が電気的に接続された構造において、対向する半導体チップのうち、一方が複数のマイクロプロセッサ、あるいはマイクロプロセッサ間でのデータ転送を制御するためのコントローラLSIであり、他方がマイクロプロセッサ間でのデータ転送ネットワークを実現するための相互結合網が形成されているチップであるように構成されている。

【0014】

【発明の実施の形態】以下、本発明の実施の形態における半導体装置について図面を参照しながら説明する。本実施の形態では、前述の4 PEクロスバ型ネットワークを例に説明することとする。

【0015】（実施の形態1）図1は、本発明の一実施の形態における半導体装置の断面図を示したものである。図1において、11はPEチップ、12はPEプロセス、13は相互結合網形成チップ、14は相互結合網形成領域、15はクロスバスイッチ配路、16は上面PEチップパッドに電極パッド、17はパッド、18は下面相互結合網形成チップのエリア電極パッド、19は下面チップパッド側の電極パッドを有するものである。図1に示したように、本実施の形態における半導体装置は、上面チップと下面チップが能動面同士が向かい合う状態で対向して張り合われ入れ組構造となっている。これをCOC（チップオンチップ）構造と呼ぶ。本実施の形態では、上面PEチップ11を、下面相互結合網形成チップ13を配置している。また、上面チップは、下面チップに形成されたエリア電極パッド16、18の間隔に、17で接続されている。上面チップ11の内部に接続は、例えばMBB（Metal Bridge）構造である。

（0016）図2は、上面チップ11のチップサイズが300 μ m

4

×チップ以下の微細接続が可能である。

【0016】図2は、上記の図1に示したこのCOC構造の半導体装置を上から見た平面図を示したものである。図2中下面チップ13内に形成された相互結合網14の上に4つのPEチップ11が配置され電気的に接続されている。

【0017】相互結合網14の中には、PE間でのデータ転送を制御するためのコントローラとしての4つのクロスバスイッチ15と、これとクロスバスイッチ間の相互配線、および上面のPEチップ11と接続を行うためのエリア電極パッド18が形成されている。図3は、上面PEチップ11を搭載していない状態の下面チップ13を示した平面図である。上面PEチップ11のエリア電極パッド16に対応した位置に電極パッド18が形成されている。この構成は、ちょうど図6の点線で囲まれた部分を切り出して、下面チップ内に形成したものである。すなわち、PEと相互結合網を別々のチップで作成し、COC接合技術により一体化することもできる。

【0018】これにより、構成要素である、マイクロプロセッサ、DSPなどからなるPEを個別チップとしてできるだけ小型に作り込むことが可能になる。また、最新プロセスにより性能を重視した設計が可能で、設計の自由度を向上させることができる。例えば、上面チップを最新の0.35 μ mプロセスで作成し、下面相互結合網形成チップを1 μ m世代の、例えば0.5 μ m、0.8 μ mプロセスで作成することで、半導体装置のシステムコストを低減させることが可能である。

【0019】また、PEチップは標準的な性能で形成し、システム要求に応じて、相互結合網の形態を変えることも可能である。すなわち、下面チップのみ変更で、前述のクロスバ結合以外に、メッシュ型やハイパーキューブ型などのネットワーク構成をすることができ、その際、1チップ単位でプロセス異なり、相互結合網チップのみ変更で対応できるため、大幅な設計開発期間の短縮、開発コストの低減が可能である。

【0020】（実施の形態2）以下では、本発明の別の実施の形態における半導体装置について説明する。図4は、本実施の形態における半導体装置の断面図を示したものである。

【0021】図4に示す実施の形態では、上面チップの内部に複数個のPEプロセス12を形成している。上記の図1に示す本実施の形態における半導体装置と違い、1チップあたりにPE数であるが、これは配線配線集積量（ワイヤレス）により、最適な構成を有するチップである。

【0022】また、上記実施の形態では、相互結合網形成チップ13のチップサイズを小さくし、例えCOC構成で上面チップ11のチップサイズを大きくする。

【0023】

【0024】図5は、上面チップ11のチップサイズが300 μ m

5

置は、複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部と相互結合網部をそれぞれ別々の半導体チップで形成し、COC構造で一体化するものである。このため、プロセッサ部と相互結合網に対しそれぞれ最適なプロセスを適用させることが可能であり、システムコストを最小化することができる。

【0024】また、相互結合網内の配線設計の自由度を高めることができるため、配線幅、配線厚みの最適化により、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げることができる。さらに、プロセッサ部を共通に利用し、相互結合網のみの変更でシステム構築が可能である、など設計自由度、設計効率が向上し、トータルシステムのコストパフォーマンスを上げることができるといった、非常に大きな効果を生むことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の断面図

【図2】本発明の実施の形態における半導体装置の平面図

【図3】本発明の実施の形態における半導体装置の平面図

【図4】本発明の実施の形態における半導体装置の断面図

【図5】マルチプロセッサ構成のシステムを示すブロック図

【図6】クロスバ型相互結合網を示すブロック図

6

【図7】従来のクロスバ型相互結合網を持つ半導体装置を示す平面図

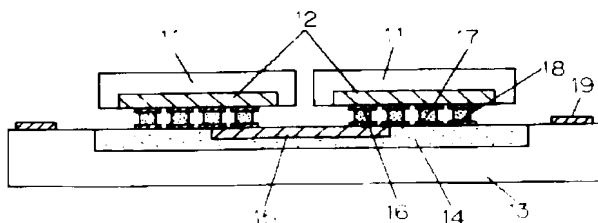
【図8】従来のクロスバ型相互結合網を持つ半導体装置を示す平面図

【符号の説明】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ回路
- 16 上面チップエリア電極パッド
- 17 パンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド
- 31 プロセッサエレメント (PE)
- 32 相互結合網
- 33 PE制御部
- 34 クロスバスイッチ (論理上)
- 35 クロスバ配線
- 36 PEパッケージ部品
- 37 クロスバスイッチパッケージ部品
- 38 相互結合網配線
- 39 回路基板
- 40 チップ内PEブロック
- 41 相互結合網ブロック
- 42 周辺電極パッド
- 43 マルチチップ内半導体チップ

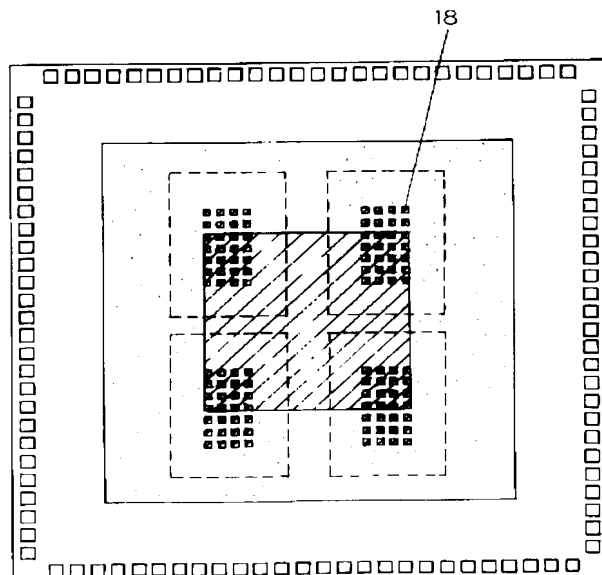
【図1】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 パンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



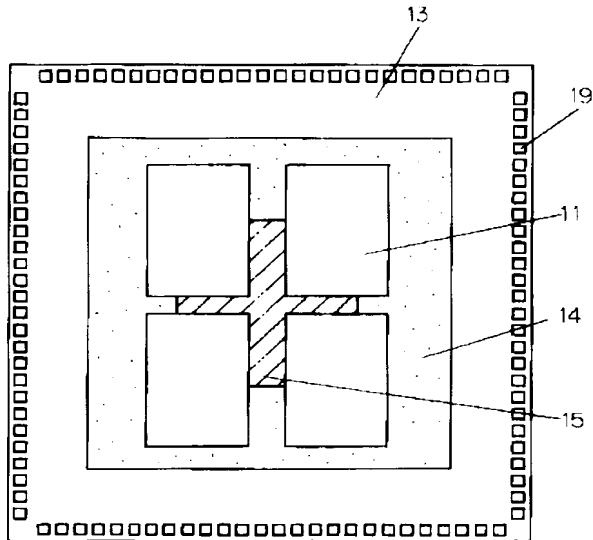
【図3】

18 下面チップエリア電極パッド



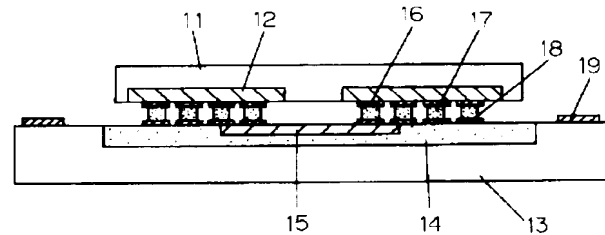
【図2】

- 11 PEチップ
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 19 下面チップ周辺電極パッド



【図4】

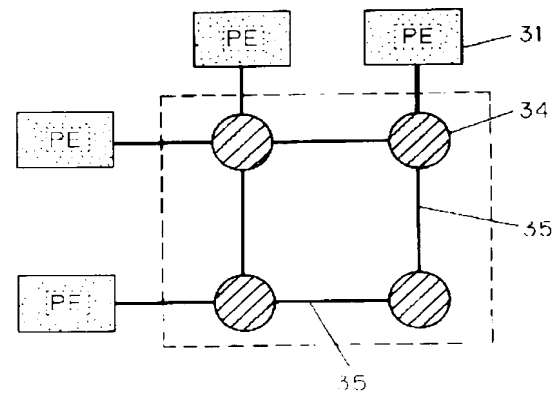
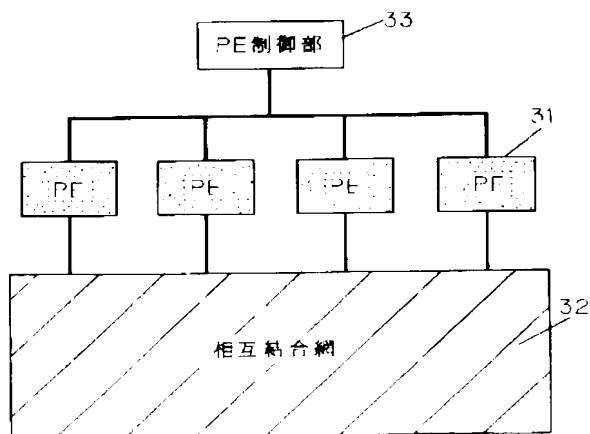
- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 バンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



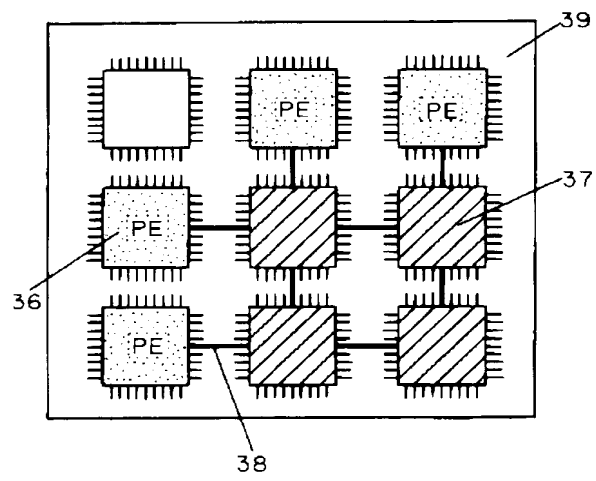
【図6】

34 クロスバスイッチ

【図5】



【 7 】



【图 8】

